

## KOREAN PATENT ABSTRACTS

(11) Publication number:

100195262 B1

(43) Date of publication of application: 11.02.1999

(21) Application number: 1019970002672

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(22) Date of filing: 29.01.1997

(72) Inventor:

LEE, JIN U

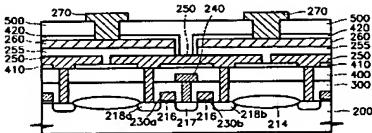
(51) Int. Cl

H01L 27/10

## (54) FERROELECTRIC MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

## (57) Abstract:

PURPOSE: A ferroelectric memory device is provided to easily reduce a cell size and to eliminate a pattern defect generated by reduction of the cell size in patterning a capacitor.



CONSTITUTION: An active region and an inactive region are defined in a semiconductor substrate(200). A transistor is formed on the active region. A bit line(240) is connected to a source region(217) of the transistor. A capacitor is formed on the bit line, connected to a drain region(218a,218b) of the transistor through a buried contact. The capacitor is simultaneously connected to each buried contact of two adjacent cells and extended across the two cells, so that the two cells share one storage electrode(250) and one plate electrode(260).

COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (19990129)

Patent registration number (1001952620000)

Date of registration (19990211)

# 인용발명3(한국등록특허번호 제0195262호(1999.06.15)) 1부.

[첨부그림 1]

10-0195262

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 27/10	(45) 공고일자 1999년06월15일 (11) 등록번호 10-0195262 (24) 등록일자 1999년02월11일
(21) 출원번호 10-1997-0002672 (22) 출원일자 1997년01월29일	(65) 공개번호 특 1998-0066897 (43) 공개일자 1998년10월15일

(73) 특허권자 삼성전자주식회사 운중용  
경기도 수원시 팔달구 매단3동 416  
(72) 발명자 이진우  
경기도 수원시 권선구 권선동 1231 번지  
(74) 대리인 권설흘, 노만석, 이영필

설사과 : 결근모

(54) 강유전체 메모리 장치 및 그 제조 방법

요약

강유전체 메모리 장치 및 그 제조 방법에 관하여 개시한다. 본 발명에서는 활성 영역 및 비활성 영역이 합성된 반도체 기판과, 상기 활성 영역상에 형성된 트랜지스터와, 상기 트랜지스터의 소스 영역에 접속되어 있는 비트 라인과, 상기 비트 라인의 상부에 형성되고 매몰 콘택트를 통하여 상기 트랜지스터의 드레인 영역에 접속되어 있는 커퍼시터를 포함하는 복수의 셀로 이루어지는 강유전체 메모리 장치에 있어서, 상기 커퍼시터는 상기 셀중 서로 이웃하고 있는 2개의 셀의 1개의 하부 전극과 1개의 상부 전극을 공용으로 사용하도록 상기 2개의 셀의 각 매몰 콘택트에 동시에 접속된 상태로 상기 2개의 셀에 걸쳐서 연장되어 있다. 본 발명에 의하면, 셀 사이즈 축소를 용이하게 할 수 있고, 셀 사이즈 축소에 따라 커퍼시터 패터닝 시에 발생되는 패터닝 불량과 같은 문제점도 방지할 수 있다.

도면도

도2

도3

도4

도5

도 1 및 도 2는 본 발명에 따른 강유전체 메모리 장치를 도시한 도면으로서, 도 1은 본 발명의 바람직한 실시예에 따른 강유전체 메모리 장치의 셀레이아웃도이고, 도 2는 도 1의 2 - 2' 선 단면도이다.

도 3 내지 도 8은 본 발명의 바람직한 실시예에 따라 강유전체 메모리 장치를 제조하는 방법을 설명하기 위한 단면도들이다.

도면의 주요 부분에 대한 부호의 설명

200 : 반도체 기판, 214 : 소자 분리막

216 : 게이트 절연막, 217 : 소스 영역

218a, 218b : 드레인 영역, 230a, 230b : 워드 라인

240 : 비트 라인, 250 : 하부 전극

252a, 252b : 매몰 콘택트, 255 : 강유전체막

260 : 상부 전극, 270 : 플레이트 라인

300 : 제1 층간 절연막 패턴, 400 : 제2 층간 절연막 패턴

410 : 제1 정벽층, 420 : 제2 정벽층

500 : 금속 층간 절연막 패턴

도면의 상세한 설명

도면의 부작

본 명세서에 속하는 기술분야 및 그 분야의 기술개요

본 발명은 강유전체 메모리 장치 및 그 제조 방법에 관한 것으로, 특히 고집적화가 가능한 강유전체 메모

리 장치(Ferroelectric Memory Device) 및 그 제조 방법에 관한 것이다.

최근, 박막 형성 기술의 진보에 의하여 강유전체막을 사용하는 불휘발성 메모리 장치에 대한 연구가 활발해지고 있다. 강유전체 메모리 장치는 강유전체막의 분극 현상(Polarization Phenomenon)을 이용하는 것으로서, EEPROM 또는 EEPROM에 비하여 읽기(read)/쓰기(write) 동작이 빠른 장점을 가지고 있다.

또한, DRAM에 사용되는 셀 커파시터의 유전막으로 강유전체막을 사용하면, 리프레쉬 동작이 요구되지 않으므로 DRAM의 전력 소모 및 동작 속도를 향상시킬 수 있다. 이러한 강유전체 메모리 장치는 RAM과 같이 단일 전원 전압(single power supply voltage)으로 읽기 동작 및 쓰기 동작을 수행할 수 있으므로, 강유전체 RAM(ferroelectric RAM; FRAM)이라 불리운다.

한편, FRAM은 단위 셀(unit cell)의 구성 요소에 따라 두 가지로 분류할 수 있다. 그 하나는 단위 셀이 강유전체막을 게이트 층연막으로 사용하는 하나의 트랜지스터로 구성된 것이고, 다른 하나는 단위 셀이 하나의 양극과 게이트 층연막을 유전막으로 사용하는 하나의 셀 커파시터로 구성된 것이다. 여기서, 전자(前者)의 FRAM은 채널 영역인 실리콘 기판과 게이트 층연막인 강유전체막 사이의 계면에 실리콘 기판과 산소 원자가 반응하여 성장된 실리콘산화막이 형성되기 쉬운 문제점과, 실리콘 기판 및 강유전체막 사이의 격자상수(lattice constant) 차이 또는 열팽창계수 차이에 의하여 우수한 막질의 강유전체막을 형성하기 어려운 문제점이 있다. 따라서, 최근에 출시된 FRAM, 즉 DRAM 셀 구조와 동일한 구조를 가지면서 셀 커파시터의 유전막으로 사용하는 FRAM에 대한 연구가 활발해지고 있다. 여기서, 상기 강유전체막으로는 PZT(PbZrTiO<sub>3</sub>)막이 널리 사용되고 있다. 이 때, 셀 커파시터의 하부 전극, 즉 스토리지 전극은 내산화성이면서 용융점(melting point)이 높은 물질로 형성하여야 우수한 커파시터의 특성을 얻을 수 있으며, 그 대표적인 물질로 백금(Pt)을 들 수 있다.

PZT 형성 과정으로서 보편적으로 사용되고 있는 기술에 의하면, PZT를 증-흡(sol-gel) 코팅 방식으로 형성한 후, 02 분위기의 퍼너스(furnace) 내에서 500 ~ 650°C 사이의 온도로 어닐링(annealing)으로써, 분극 특성을 갖는 PZT를 형성하고 있다. 이 때, 강유전체막으로 사용된 PZT막의 어닐링 온도가 500 ~ 650°C이므로, 하부 전극으로서 알루미늄(Al)막을 사용하는 경우에는 알루미늄막으로 형성된 하부 전극이 변형된다. 따라서, PZT막을 강유전체막으로 사용하는 경우에 알루미늄막을 하부 전극으로 적용하기는 어렵다. 또한, 하부 전극으로서 텅스텐(W)막을 사용하는 경우에도 PZT막을 어닐링할 때 텅스텐막이 산화되는 결과로 인해 용융점이 낮아지게 된다. 따라서, 650°C 보다 높은 용융점(melting point) 및 내산화성을 갖는 백금을 사용하여 하부 전극을 형성하는 것이 현실적으로 적합하다.

한편, 지금까지 사용되어 온 대부분의 메모리 셀들은 트랜지스터, 커파시터 및 콘택홀 등이 평면 레이아웃에서 래터럴(lateral)으로 이루어졌으며, 이와 같은 트랜지스터, 커파시터 및 콘택홀 등의 각각의 면적의 합이 메모리 셀의 면적을 결정하는 요인으로 작용하였다.

그러나, 기가 비트급의 메모리 셀을 구성하기 위하여는 제한된 면적 내에 트랜지스터, 커파시터 및 소스/드레인 영역과의 접속을 위한 콘택홀을 모두 포함하여야 하므로, 지금까지 제시되어 온 레이아웃 방법으로는 면적에 따른 한계를 극복할 수 없다. 따라서, 면적의 한계를 극복하기 위하여는 3차원적인 셀 구조가 필요하다. 즉, 셀 구조를 래터럴 레이아웃 구조에서 버티컬(vertical) 레이아웃 구조로 변경하여야 한다.

또한, 제한된 셀 면적 내에서 필요한 셀 커파시터스를 확보하기 위하여는 고유전 물질을 사용하거나 셀 스토리지 노드의 높이를 높일 수밖에 없다. 특히, 커파시터 구조를 COB(Capacitor over Bitline) 구조로 형성하는 반도체 장치에서는 비트 라인을 먼저 형성한 후, 그 비트 라인 위에 셀 커파시터를 형성함으로써, 제한된 셀 면적 내에서 셀 커파시터의 용량을 확보할 수 있게 된다.

그러나, 강유전체 메모리 용량이 증가할수록 단위 셀 사이즈는 점차 줄어들고 있으며, 백금을 사용하여 하부 전극을 형성하는 FRAM의 경우에는 백금으로 이루어지는 하부 전극을 패터닝하기 위하여 현재 사용되고 있는 석각 방법에 의하여 석각할 때 하부 전극의 흙벽이 경사면이 형성되는 것을 피할 수 없게 된다. 이와 같이 형성되는 경사면은 강유전체 커파시터의 사이즈가 감소할 때 따라 커파시터의 패터닝 물량을 초래하게 되어 결국 소자의 물량을 초래하게 된다.

#### 발명이 이루고자 하는 기술적 특징

따라서, 본 발명의 목적은 상기한 바와 같은 문제를 해결하기 위한 것으로서, 셀 사이즈 축소를 용이하게 할 수 있는 강유전체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 강유전체 메모리 장치의 셀 사이즈가 감소하는 경우에도 하부 전극의 패터닝에 따라 커파시터의 패터닝 물량을 초래하지 않는 강유전체 메모리 장치의 제조 방법을 제공하는 것이다.

#### 발명의 구성 및 쪽은

상기 목적을 달성하기 위하여 본 발명은, 활성 영역 및 비활성 영역이 한정된 반도체 기판과, 상기 활성 영역상에 형성된 트랜지스터와, 상기 트랜지스터의 소스 영역에 접속되어 있는 비트 라인과, 상기 비트 라인의 상부에 형성되고 매듭을 콘택트를 통하여 상기 트랜지스터의 드레인 영역에 접속되어 있는 커파시터를 포함하는 복수의 셀이 이루어지는 강유전체 메모리 장치에 있어서, 상기 커파시터는 상기 셀 중 서로 이웃하고 있는 2개의 셀이 1개의 하부 전극과 1개의 상부 전극을 공유으로 사용하도록 상기 2개의 셀의 각 매듭을 콘택트에 동시에 접속된 상태로 상기 2개의 셀에 걸쳐서 연장되어 있는 것을 특징으로 하는 강유전체 메모리 장치를 제공한다.

비활성하는 상기 커파시터는 서로 이웃하고 있는 2개의 셀에 걸쳐서 상기 비트 라인의 상부에서 층간 접연막을 개재하여 형성되고, 상기 2개의 셀의 각 매듭 콘택트를 통하여 상기 2개의 셀의 각 드레인 영역에 접속되어 있는 하부 전극과, 상기 하부 전극의 상부에서 서로 이웃하고 있는 2개의 하부 전극에 걸쳐서 상기 2개의 하부 전극 각각의 상면의 일부에서만 접촉되도록 상기 하부 전극과 엇갈리게 배치되어 있는

10-0195262

상부 전극과, 상기 하부 전극과 상부 전극 사이에 개재되어 있는 강유전체막을 포함한다.

더욱 바람직하게는, 상기 하부 전극 및 상부 전극은 백금족 금속 및 백금족 금속의 산화물로 이루어지는 군에서 선택된 어느 하나로 이루어지는 막이다.

또한 바람직하게는, 상기 강유전체막은 PZT(PbZrTiO<sub>3</sub>), PbTiO<sub>3</sub>, PbLaTiO<sub>3</sub>, BST(BaSrTiO<sub>3</sub>), BaTiO<sub>3</sub>, Ba<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 및 SrTiO<sub>3</sub>로 이루어지는 군에서 선택된 어느 하나로 이루어지는 막이다.

상기 강유전체막은 상기 상부 전극의 하부에만 형성될 수 있다. 그러나, 상기 강유전체막이 반도체 기판 전면에 형성되는 것도 가능하다.

바람직하게는, 상기 출간 절연막과 하부 전극과의 반응을 억제하기 위하여 상기 출간 절연막과 하부 전극 사이에 형성된 제1 장벽층을 더 포함한다. 더욱 바람직하게는, 상기 제1 장벽층은 TiO<sub>2</sub>막으로 이루어진다.

또한 바람직하게는, 상기 상부 전극 및 강유전체막을 덮는 TiO<sub>2</sub>막을 더 포함하고, 상기 매몰 콘택과 상기 하부 전극의 구성 물질간의 반응을 억제하기 위하여 상기 매몰 콘택과 상기 출간 절연막과 하부 전극 사이에 개재된 제3 장벽층을 더 포함한다. 더욱 바람직하게는, 상기 제3 장벽층은 TiN막, TaN막, TiSiN막 및 TiWN막으로 이루어지는 군에서 선택된 어느 하나의 막이다.

상기 다른 목적을 달성하기 위하여 본 발명은, 반도체 기판상에 활성 영역과 비활성 영역을 한정하는 단계와, 상기 활성 영역상에 소스 영역, 드레인 영역 및 워드 리인 역할을 하는 게이트 전극을 구비하는 트랜지스터를 형성하는 단계와, 상기 결과물상에 상기 소스 영역의 일부를 노출시키는 비트 콘택홀을 구비한 제1 출간 절연막을 형성하는 단계와, 상기 비트 콘택홀을 재우는 제1 도전층을 형성하는 단계와, 상기 제1 도전층을 패터닝하여 상기 비트 콘택홀을 통해 상기 소스 영역과 접속되는 비트 라인을 형성하는 단계와, 상기 결과물상에 제2 출간 절연막을 형성하는 단계와, 상기 제2 출간 절연막 및 제1 출간 절연막을 패터닝하여 상기 드레인 영역의 일부를 노출시키는 콘택홀을 형성하는 단계와, 상기 콘택홀을 제2 도전층으로 채워서 매몰 콘택을 형성하는 단계와, 상기 결과물상에 제1 금속막을 형성하는 단계와, 상기 제1 금속막을 패터닝하여 상기 매몰 콘택중 미웃하고 있는 2개의 매몰 콘택을 동시에 연결된 상태로 상기 2개의 매몰 콘택이 포함된 2개의 트랜지스터에 걸쳐서 연장되어 있는 하부 전극을 형성하는 단계와, 상기 하부 전극을 덮는 강유전체막을 형성하는 단계와, 상기 강유전체막상에 제2 금속막을 형성하는 단계와, 상기 제2 금속막을 패터닝하여 상기 강유전체막을 사이에 두고 상기 하부 전극의 상부에서 서로 미웃하고 있는 2개의 하부 전극에 걸쳐서 상기 2개의 하부 전극의 일부에서만 중첩되도록 상기 하부 전극과 엇갈리게 배치된 상부 전극을 형성하는 단계와, 상기 결과물을 전면에 상기 상부 전극의 일부를 노출시키는 플레이트 치된 상부 전극을 형성하는 단계와, 상기 결과물을 전면에 상기 상부 전극의 일부를 노출시키는 플레이트 치된 상부 전극을 형성하는 단계와, 상기 풀레이트 콘택홀을 재우는 제3 도전층을 형성하는 단계와, 상기 풀레이트 콘택홀을 구비한 금속 출간 절연막을 형성하는 단계와, 상기 풀레이트 콘택홀을 통해 상기 상부 전극과 접속되는 풀레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법을 제공한다.

바람직하게는, 상기 매몰 콘택을 형성하는 단계에서 상기 제2 도전층은 폴리실리콘, W, WN 및 WSi로 이루어지는 군에서 선택된 적어도 어느 하나의 물질을 중착하여 형성한다.

또한 바람직하게는, 상기 제1 금속막 및 제2 금속막은 백금족 금속 및 백금족 금속의 산화물로 이루어지는 군에서 선택된 어느 하나로 이루어지는 막으로 형성한다.

또한 상기 다른 목적을 달성하기 위하여 본 발명은, 반도체 기판상에 활성 영역과 비활성 영역을 한정하는 단계와, 상기 활성 영역상에 소스 영역, 드레인 영역 및 워드 리인 역할을 하는 게이트 전극을 구비하는 트랜지스터를 형성하는 단계와, 상기 결과물상에 상기 소스 영역의 일부를 노출시키는 비트 콘택홀을 구비한 제1 출간 절연막을 형성하는 단계와, 상기 비트 콘택홀을 재우는 제1 도전층을 형성하는 단계와, 상기 제1 도전층을 패터닝하여 상기 비트 콘택홀을 통해 상기 소스 영역과 접속되는 비트 라인을 형성하는 단계와, 상기 결과물상에 제2 출간 절연막을 형성하는 단계와, 상기 제2 출간 절연막 및 제1 출간 절연막을 형성하는 단계와, 상기 드레인 영역의 일부를 노출시키는 콘택홀을 형성하는 단계와, 상기 콘택홀을 제2 도전층으로 채워서 매몰 콘택을 형성하는 단계와, 상기 결과물을 전면에 제1 장벽 률질층을 형성하는 단계와, 상기 제1 장벽 률질층을 패터닝하여 상기 매몰 콘택의 상면을 노출시키는 제1 장벽층을 형성하는 단계와, 상기 제1 장벽층이 형성된 결과물상에 제1 금속막을 형성하는 단계와, 상기 제1 금속막을 패터닝하여 상기 매몰 콘택중 미웃하고 있는 2개의 매몰 콘택을 동시에 연결된 상태로 상기 2개의 매몰 콘택이 포함된 2개의 트랜지스터에 걸쳐서 연장되어 있는 하부 전극을 형성하는 단계와, 상기 하부 전극을 덮는 강유전체막을 형성하는 단계와, 상기 강유전체막상에 제2 금속막을 형성하는 단계와, 상기 제2 금속막을 패터닝하여 상기 강유전체막을 사이에 두고 상기 하부 전극의 상부에서 서로 미웃하고 있는 2개의 하부 전극에 걸쳐서 상기 2개의 하부 전극의 일부에서만 중첩되도록 상기 하부 전극과 엇갈리게 배치된 상부 전극을 형성하는 단계와, 상기 결과물을 전면에 상기 상부 전극의 일부를 노출시키는 표면에 제2 장벽 률질층을 형성하는 단계와, 상기 상부 전극 및 강유전체막의 노출된 표면에 제2 장벽 률질층을 형성하는 단계와, 상기 제2 장벽 률질층 위에 금속 출간 절연막을 형성하는 단계와, 상기 금속 출간 절연막 및 제2 장벽 률질층을 패터닝하여 상기 상부 전극의 일부를 노출시키는 플레이트 콘택홀을 구비한 금속 출간 절연막 패턴 및 제2 장벽층을 형성하는 단계와, 상기 풀레이트 콘택홀을 재우는 제3 도전층을 형성하는 단계와, 상기 제3 도전층을 패터닝하여 상기 풀레이트 콘택홀을 통해 상기 상부 전극과 접속되는 풀레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법을 제공한다.

바람직하게는, 상기 제1 장벽 률질층 및 제2 장벽 률질층은 TiO<sub>2</sub>막으로 형성한다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 1 및 도 2는 본 발명에 따른 강유전체 메모리 장치를 도시한 도면으로서, 도 1은 본 발명의 바람직한 실시예에 따른 강유전체 메모리 장치의 셀 레이아웃도이고, 도 2는 도 1의 2 - 2' 선 단면도이다. 여기서, 단위 절은 하나의 커퍼시터와 하나의 트랜지스터로 구성된다.

도 1을 참조하면, 본 발명에 따른 강유전체 메모리 장치는 x방향으로 소정의 길이를 갖도록 배치된 활성 영역(212)과, 상기 활성 영역(212)을 기로자르면서 y방향으로 서로 평행하게 배치되어 트랜지스터의 게이

트 전극 역할을 하는 한 쌍의 워드 라인(230a, 230b)을 구비한다. 여기서, 상기 활성 영역(212)은 상기 워드 라인(230a, 230b)에 의해 소스 영역 및 드레인 영역으로 분할되며, 도 1에서 볼 때 워드 라인(230a)의 우측의 활성 영역, 즉 워드 라인(230b)의 좌측의 활성 영역을 트랜지스터의 소스 영역을 나타내고, 워드 라인(230a)의 좌측의 활성 영역 및 워드 라인(230b)의 우측의 활성 영역은 각각 트랜지스터의 드레인 영역을 나타낸다.

또한, 본 발명에 따른 강유전체 메모리 장치는 상기 활성 영역(212)상에서 그 소스 영역으로부터 양쪽의 드레인 영역에 형성되어 있는 매듭 콘택(252a, 252b)과 연결되도록 형성함으로 연장되어 있는 하부 전극(250)과, 상기 하부 전극(250)의 상부에서 강유전체막을 사이에 두고 상방향으로 연장되고 서로 이웃하고 있는 2개의 하부 전극(250) 각각의 일부에서 중첩되어 있는 상부 전극(260)을 포함한다. 따라서, 서로 이웃하고 있는 2개의 셀에서 1개의 하부 전극(250) 및 1개의 상부 전극(260)을 공용으로 사용하게 된다.

또한, 본 발명에 따른 강유전체 메모리 장치는 상기 소스 영역의 소정 영역을 노출시키기 위한 비트 콘택홀(240a)과, 상기 비트 콘택홀(240a)을 통하여 상기 소스 영역과 연결되고 상방향을 따라 배치된 비트 라인(240)과, 상기 상부 전극(260)의 소정 영역을 노출시키기 위한 플레이트 콘택홀(270a)과, 상기 플레이트 콘택홀(270a)을 통하여 상기 상부 전극(260)과 연결되고 상기 워드 라인(230a, 230b)과 평행하게 배치된 플레이트 라인(270)을 구비한다.

도 2를 참조하여 본 발명에 따른 상세히 설명하면, 본 발명에 따른 강유전체 메모리 장치는 소자 분리막(214), 예컨대 팔드 산화막에 의하여 활성 영역 및 비활성 영역이 한정된 반도체 기판(200)과, 상기 활성 영역의 소정 영역 상에 게이트 절연막(216)에 의해 이격되고 트랜지스터의 게이트 전극 역할을 하는 워드 라인(230a, 230b)과, 상기 워드 라인(230a, 230b)의 양 옆의 활성 영역 표면에 각각 형성된 트랜지스터의 소스 영역(217) 및 드레인 영역(218a, 218b)과, 제1 출간 절연막 패턴(300)을 통해 형성된 비트 콘택홀(240a)(도 1 참조)을 통하여 상기 소스 영역(217)에 접속되어 있는 비트 라인(240)과, 서로 이웃하고 있는 2개의 셀에 공용으로 포함되도록 상기 2개의 셀에 걸쳐서 상기 비트 라인(240)의 상부에 형성되고, 상기 제1 출간 절연막 패턴(300)과 상기 비트 라인(240)을 닫는 제2 출간 절연막 패턴(400)을 통해 형성된 상기 2개의 셀의 각 매듭 콘택(252a, 252b)(도 1 참조)을 통하여 상기 2개의 셀의 각 드레인 영역(218a, 218b)의 소정 영역과 접속되어 있는 하부 전극(250)과, 상기 하부 전극(250)과 상부 전극(260) 사이에 중첩되어 있는 2개의 하부 전극(250)에 걸쳐서 상기 2개의 하부 전극(250) 각각의 상면의 일부에서만 중첩되도록 있는 2개의 하부 전극(250)과 엊갈리게 배치되어 연장되어 있는 상부 전극(260)과, 상기 하부 전극(250)과 상부 전극(260) 사이에 개재되어 있는 강유전체막(255)과, 상기 상부 전극(260)을 닫는 금속 출간 절연막 패턴(500)을 통해 형성된 플레이트 콘택홀(270a)(도 1 참조)을 통하여 상기 상부 전극(260)상의 소정 영역과 접속되어 있는 플레이트 라인(270)을 포함한다.

상기 강유전체막(255)은 도시한 바와 같이 상기 상부 전극(260)의 하부에만 형성될 수도 있고, 상기 상부 전극(260)의 하부에서 반도체 기판 전면에 형성될 수도 있다.

여기서, 상기 하부 전극(250) 및 상부 전극(260)은 백금족 금속 및 백금족 금속의 산화물, 예를 들면 백금(Pt), 투데늄(Ru), 미리늄(Ir), 산화루데늄(RuO<sub>2</sub>) 및 산화이리듐(IrO<sub>2</sub>) 등으로 이루어지는 군에서 선택된 어느 하나의 물질로 이루어지는 막으로 형성될 수 있으며, 비량적하게는, 백금막으로 형성한다.

상기 강유전체막(255)은 PZT(PbZrTiO<sub>3</sub>), PbTiO<sub>3</sub>, PbLaTiO<sub>3</sub>, BST(BaSrTiO<sub>3</sub>), BaTiO<sub>3</sub>, Ba<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 및 SrTiO<sub>3</sub>로 이루어지는 군에서 선택된 어느 하나로 구성되는 막으로 형성하는 것이 바람직하다.

또한, 상기 하부 전극(250), 강유전체막(255) 및 상부 전극(260)과 출간 절연막들과의 사이에서 일어나는 반응을 억제하기 위하여, 상기 제1 출간 절연막 패턴(400)과 하부 전극(250) 사이에는 제1 장벽층(410)이 형성되어 있고, 상기 강유전체막(255) 및 상부 전극(260)과 금속 출간 절연막 패턴(500) 사이에는 제2 장벽층(420)이 형성되어 있다. 바람직하게는, 상기 제1 장벽층(410) 및 제2 장벽층(420)은 TiO<sub>2</sub>막으로 이루어진다.

도시하지는 않았으나, 상기 매듭 콘택(252a, 252b)을 구성하고 있는 도전 물질과 상기 하부 전극(250) 구성 물질과의 반응을 억제하기 위하여, 상기 매듭 콘택(252a, 252b)과 하부 전극(250) 사이에 제3 장벽층(410)(도시 생략)을 형성할 수 있다. 비량적하게는, 상기 제3 장벽층은 TiN막, TaN막, TiSiN막, TaSiN막 및 Ti<sub>x</sub>N<sub>y</sub>막으로 이루어지는 군에서 선택된 어느 하나의 막으로 이루어질 수 있다.

상기한 바와 같이, 본 발명에 따른 강유전체 메모리 장치의 구성에서는 하나의 커퍼시터와 하나의 트랜지스터로 구성되는 단위 셀에서 이웃하는 2개의 셀이 1개의 하부 전극과 1개의 상부 전극을 공용으로 사용할 수 있도록 공유하고 있다. 따라서, 셀 사이즈 축소를 용이하게 할 수 있고, 셀 사이즈 축소에 따라 커퍼시터 패터닝시에 발생되는 문제점도 방지할 수 있다.

도 3 내지 도 8은 본 발명의 바람직한 실시예에 따라 강유전체 메모리 장치를 제조하는 방법을 설명하기 위한 단면도들이다.

도 3을 참조하면, 반도체 기판(200)의 소정 영역에 소자 분리막(214), 예컨대 팔드 산화막을 형성함으로써, 활성 영역과 비활성 영역을 한정하고, 게이트 절연막(216)상에서 게이트 전극 역할을 하는 워드 라인(230a, 230b), 소스 영역(217) 및 드레인 영역(218a, 218b)을 구비하는 트랜지스터를 통상의 CMOS 형성 공정에 따른 방법으로 형성한다. 다음에, 상기 결과를 전면에 산화막, 예컨대 BPSG(boro-phosphosilicate glass)막을 약 4000 ~ 5000 Å의 두께로 증착하여 제1 출간 절연막을 형성한다. 그 후, 상기 제1 출간 절연막에 상기 소스 영역(217)의 일부를 노출시키는 비트 콘택홀(240a)을 형성한 후 상기 비트 콘택홀(240a)을 채우는 제1 도전층(도시 생략)을 형성하고 패터닝하여 상기 소스 영역에 접속되는 비트 라인(240)을 형성한다.

그 후, 상기 비트 라인(240)이 형성된 결과를 전면에 산화막, 예컨대 BPSG막을 약 4000 ~ 5000 Å의 두께로 증착하여 제2 출간 절연막을 형성한다. 그 후, 상기 제2 출간 절연막 및 제1 출간 절연막을 차례로 패터닝하여 상기 드레인 영역(218a, 218b)의 일부를 노출시키는 혼액홀(h)을 형성함으로써 제1 출간 절연

10-0195262

막 패턴(300) 및 제2 층간 절연막 패턴(400)을 형성한다.

도 4를 참조하면, 상기 콘택홀(h1)이 형성된 결과물상에 도전 물질, 예를 들면 퀼리실리콘,  $\text{W}$ ,  $\text{WN}$  및  $\text{WSi}$ 로 이루어지는 군에서 선택된 적어도 어느 하나의 물질을 증착하여 상기 콘택홀(h1)을 채우는 제2 도전층을 형성한 후 이를 CMP(Chemical Mechanical Polishing) 방법 또는 에지백 밍법에 의하여 각각하여, 후속 공정에서 형성되는 강유전체 커패시터의 하부 전극과 트랜지스터의 드레인 영역(21a, 21b)을 연결시킬 매몰 콘택(252a, 252b)을 형성한다.

그 후, 상기 결과물 전면에 TiO<sub>2</sub>막을 증착한 후, 상기 매몰 콘택(252a, 252b)의 상면을 노출시키도록 상기 TiO<sub>2</sub>막을 패터닝하여 제1 장벽층(410)을 형성한다.

도시하지는 않았으나, 상기 매몰 콘택(252a, 252b)을 구성하고 있는 도전 물질과 상기 하부 전극(250) 구성을 물질과의 반응을 억제하기 위하여, 스팍터링 또는 CVD(Chemical Vapor Deposition) 방법에 의하여 상기 노출된 매몰 콘택(252a, 252b)의 상면에 TiN막, WN막, TiSiN막, TaSiN막 및 TiW막으로 이루어지는 군에서 선택된 어느 하나의 막으로 이루어지는 장벽층(도시 생략)을 형성할 수 있다.

도 5를 참조하면, 상기 제1 장벽층(410)이 형성된 결과물 전면에 백금막을 스팍터링법으로 증착하고, 상기 백금막을 패터닝하여 미온하고 있는 2개의 트랜지스터 각각의 드레인 영역(21a, 21b)에 연결되어 있는 2개의 매몰 콘택(252a, 252b)에 동시에 연결된 상태로 상기 2개의 트랜지스터에 걸쳐서 연장되어 2개의 셀에 의해 공유되는 하부 전극(250)을 형성한다.

도 6를 참조하면, 상기 하부 전극(250)이 형성된 결과물 전면에 강유전 물질막을 풀-겔(soi-gel) 코팅 방식에 의하여 코팅하고, 그 위에 백금막을 스팍터링법으로 증착한다. 상기 강유전 물질막은 P<sub>2</sub>Ti(Pb<sub>2</sub>Ti<sub>0</sub>3), PbLaTi<sub>0</sub>3, BST(Ba<sub>0.6</sub>Sr<sub>0.4</sub>Ti<sub>0</sub>3), BaTi<sub>0</sub>3, Ba<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 및 SrTi<sub>0</sub>3로 이루어지는 군에서 선택된 어느 하나를 사용하여 형성할 수 있다.

그 후, 상기 백금막 및 강유전체막을 패터닝하여, 상기 하부 전극(250)의 상부에서 서로 미온하고 있는 2개의 하부 전극(250)에 걸쳐서 상기 2개의 하부 전극(250)의 일부에서만 증착되도록 상기 하부 전극(250)과 엿갈리게 배치된 상부 전극(260)과 강유전체막(255)을 형성한다. 이 때, 상기 강유전 물질막을 상기 증착한 바와 같이 패터닝하지 않고 백금막만을 패터닝하여 상기 강유전 물질막이 반도체 기판 전면에 존재하도록 할 수도 있다. 따라서, 미온하고 있는 2개의 셀에서 1개의 하부 전극(250) 및 1개의 상부 전극(260)을 공용으로 사용하게 된다.

도 7을 참조하면, 상기 상부 전극(260) 및 강유전체막(255)의 노출된 부분에 TiO<sub>2</sub>막을 증착하고, 그 상면에 전자적으로 산화막, 예컨대 ECR(Electron Cyclotron Resonance) 플라즈마 소스를 사용하여 형성되는 산화막의 소정의 두께로 증착하여 금속 층간 절연막을 형성한다. 그 후, 상기 금속 층간 절연막 및 TiO<sub>2</sub>막을 패터닝하여 상기 상부 전극(260)의 일부를 노출시키는 플레이트 콘택홀(270a)이 형성된 금속 층간 절연막 패턴(500) 및 제2 장벽층(420)을 형성한다.

도 8을 참조하면, 상기 플레이트 콘택홀(270a)이 형성된 결과물 전면에 상기 플레이트 콘택홀(270a)이 채워지도록 제3 도전층을 형성한 후 패터닝하여 커패시터의 플레이트 라인(270)을 형성한다. 상기 제3 도전층으로는 예를 들면 스팍터링방법에 의하여 형성된 Ti/TiN/AI막, Ti/TiN/W막, TiN/AI막 또는 TiN/V막을 사용할 수 있다.

#### 설명의 표본

상기한 바와 같이, 본 발명에 따른 강유전체 메모리 장치에서는 하나의 커패시터와 하나의 트랜지스터로 구성되는 단위 셀에서 미온하는 2개의 셀이 1개의 하부 전극과 1개의 상부 전극을 공용으로 사용할 수 있도록 공유하고 있다. 따라서, 셀 사이즈 유폐를 용이하게 할 수 있고, 셀 사이즈 유폐에 따라 커패시터 패터닝시에 발생되는 패터닝 불량과 같은 문제점도 방지할 수 있다.

이상, 본 발명을 구체적인 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

#### (A) 침구의 층위

##### 침구항 1

활성 영역 및 비활성 영역이 한정된 반도체 기판과, 상기 활성 영역상에 형성된 트랜지스터와, 상기 트랜지스터의 소스 영역에 접속되어 있는 비트 라인과, 상기 비트 라인의 상부에 형성되고 매몰 콘택을 통하여 상기 트랜지스터의 드레인 영역에 접속되어 있는 커패시터를 포함하는 복수의 셀로 이루어지는 강유전체 메모리 장치에 있어서, 상기 커패시터는

상기 셀중 서로 미온하고 있는 2개의 셀이 1개의 하부 전극과 1개의 상부 전극을 공용으로 사용하도록 상기 2개의 셀의 각 매몰 콘택을 동시에 접속된 상태로 상기 2개의 셀에 걸쳐서 연장되어 있는 것을 특징으로 하는 강유전체 메모리 장치.

##### 침구항 2

제1항에 있어서, 상기 커패시터는

서로 미온하고 있는 2개의 셀에 걸쳐서 상기 비트 라인의 상부에서 층간 절연막을 개재하여 형성되고, 상기 2개의 셀의 각 매몰 콘택을 통하여 상기 2개의 셀의 각 드레인 영역에 접속되어 있는 하부 전극과,

상기 하부 전극의 상부에서 서로 미온하고 있는 2개의 하부 전극에 걸쳐서 상기 2개의 하부 전극 각각의 상면의 일부에서만 증착되도록 상기 하부 전극과 엿갈리게 배치되어 있는 상부 전극과,

상기 하부 전극과 상부 전극 사이에 개재되어 있는 강유전체막을 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 3

제2항에 있어서, 상기 하부 전극 및 상부 전극은 백금족 금속 및 백금족 금속의 산화물로 이루어지는 군에서 선택된 어느 하나로 이루어지는 막인 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 4

제2항에 있어서, 상기 강유전체막은  $PZT(PbZrTiO_3)$ ,  $PbTiO_3$ ,  $PbLaTiO_3$ ,  $BST(BaSrTiO_3)$ ,  $BaTiO_3$ ,  $Ba_4Ti_3O_12$ ,  $SrBi_2Ta_2O_9$  및  $SrTiO_3$ 로 이루어지는 군에서 선택된 어느 하나로 이루어지는 막인 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 5

제2항에 있어서, 상기 강유전체막은 상기 상부 전극의 하부에만 형성된 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 6

제2항에 있어서, 상기 강유전체막은 반도체 기판 전면에 형성된 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 7

제2항에 있어서, 상기 춤간 절연막과 하부 전극과의 반응을 억제하기 위하여 상기 춤간 절연막과 하부 전극 사이에 형성된 제1 장벽층을 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 8

제7항에 있어서, 상기 제1 장벽층은  $TiO_2$ 막으로 이루어진 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 9

제2항에 있어서, 상기 상부 전극 및 강유전체막을 덮는  $TiO_2$ 막을 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 10

제2항에 있어서, 상기 매를 콘택과 상기 하부 전극의 구성 둘째간의 반응을 억제하기 위하여 상기 매를 콘택과 상기 하부 전극 사이에 개재된 제3 장벽층을 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 11

제10항에 있어서, 상기 제3 장벽층은  $TiN$ 막,  $Mn$ 막,  $TiSiN$ 막,  $TaSiN$ 막 및  $TiMn$ 막으로 이루어지는 군에서 선택된 어느 하나의 막인 것을 특징으로 하는 강유전체 메모리 장치.

#### 첨구항 12

반도체 기판상에 활성 영역과 비활성 영역을 한정하는 단계와,

상기 활성 영역상에 소스 영역, 드레인 영역 및 워드 라인 역할을 하는 게이트 전극을 구비하는 트랜지스터를 형성하는 단계와,

상기 결과물상에 상기 소스 영역의 일부를 노출시키는 비트 콘택홀을 구비한 제1 춤간 절연막을 형성하는 단계와,

상기 비트 콘택홀을 채우는 제1 도전층을 형성하는 단계와,

상기 제1 도전층을 패터닝하여 상기 비트 콘택홀을 통해 상기 소스 영역과 접속되는 비트 라인을 형성하는 단계와,

상기 결과물상에 제2 춤간 절연막을 형성하는 단계와,

상기 제2 춤간 절연막 및 제1 춤간 절연막을 패터닝하여 상기 드레인 영역의 일부를 노출시키는 콘택홀을 형성하는 단계와,

상기 콘택홀을 제2 도전층으로 채워서 매를 콘택를 형성하는 단계와,

상기 결과물상에 제1 금속막을 형성하는 단계와,

상기 제1 금속막을 패터닝하여 상기 매를 콘택을 이용하고 있는 2개의 매를 콘택에 동시에 연결된 상태로 상기 2개의 매를 콘택이 포함된 2개의 트랜지스터에 걸쳐서 연장되어 있는 하부 전극을 형성하는 단계와,

상기 하부 전극을 덮는 강유전체막을 형성하는 단계와,

상기 강유전체막상에 제2 금속막을 형성하는 단계와,

상기 제2 금속막을 패터닝하여 상기 강유전체막을 사이에 두고 상기 하부 전극의 상부에서 서로 이용하고 있는 2개의 하부 전극에 걸쳐서 상기 2개의 하부 전극의 일부에서만 중첩되도록 상기 하부 전극과 엇갈리

게 배치된 상부 전극을 형성하는 단계와,

상기 결과물 전면에 상기 상부 전극의 일부를 노출시키는 플레이트 콘택홀을 구비한 금속 층간 절연막을 형성하는 단계와,

상기 플레이트 콘택홀을 채우는 제3 도전층을 형성하는 단계와,

상기 제3 도전층을 패터닝하여 상기 플레이트 콘택홀을 통해 상기 상부 전극과 접속되는 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

#### 첨구항 13

제12층에 있어서, 상기 매몰 콘택을 형성하는 단계에서 상기 제2 도전층은 폴리실리콘,  $\text{Si}_3\text{N}_4$  및  $\text{WSi}$ 로 이루어지는 군에서 선택된 적어도 어느 하나의 물질을 증착하여 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

#### 첨구항 14

제12층에 있어서, 상기 제1 금속막 및 제2 금속막은 백금족 금속 및 백금족 금속의 산화물로 이루어지는 군에서 선택된 어느 하나로 이루어지는 막으로 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

#### 첨구항 15

제12층에 있어서, 상기 강유전체막은  $\text{PZT}(\text{PbZrTi}03)$ ,  $\text{PbTi}03$ ,  $\text{PbLaTi}03$ ,  $\text{BST}(\text{BaSrTi}03)$ ,  $\text{BaTi}03$ ,  $\text{Ba}4\text{Ti}3\text{O}12$ ,  $\text{SrBi}2\text{Ta}2\text{O}9$  및  $\text{SrTi}03$ 로 이루어지는 군에서 선택된 어느 하나를 사용하여 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

#### 첨구항 16

반도체 기판상에 활성 영역과 비활성 영역을 한정하는 단계와,

상기 활성 영역상에 소스 영역, 드레인 영역 및 워드 라인 역할을 하는 게이트 전극을 구비하는 트랜지스터를 형성하는 단계와,

상기 결과물상에 상기 소스 영역의 일부를 노출시키는 비트 콘택홀을 구비한 제1 층간 절연막을 형성하는 단계와,

상기 비트 콘택홀을 채우는 제1 도전층을 형성하는 단계와,

상기 제1 도전층을 패터닝하여 상기 비트 콘택홀을 통해 상기 소스 영역과 접속되는 비트 라인을 형성하는 단계와,

상기 결과물상에 제2 층간 절연막을 형성하는 단계와,

상기 제2 층간 절연막 및 제1 층간 절연막을 패터닝하여 상기 드레인 영역의 일부를 노출시키는 콘택홀을 형성하는 단계와,

상기 콘택홀을 제2 도전층으로 채워서 매몰 콘택을 형성하는 단계와,

상기 결과물 전면에 제1 장벽 물질층을 형성하는 단계와,

상기 제1 장벽 물질층을 패터닝하여 상기 매몰 콘택의 상면을 노출시키는 제1 장벽층을 형성하는 단계와,

상기 제1 장벽 층이 형성된 결과물상에 제1 금속막을 형성하는 단계와,

상기 제1 금속막을 패터닝하여 상기 매몰 콘택 중 이웃하고 있는 2개의 매몰 콘택에 동시에 연결된 상태로 상기 2개의 매몰 콘택이 포함된 2개의 트랜지스터에 걸쳐서 연장되어 있는 하부 전극을 형성하는 단계와,

상기 하부 전극을 닦는 강유전체막을 형성하는 단계와,

상기 강유전체막상에 제2 금속막을 형성하는 단계와,

상기 제2 금속막을 패터닝하여 상기 강유전체막을 사이에 두고 상기 하부 전극의 상부에서 서로 이웃하고 있는 2개의 하부 전극에 걸쳐서 상기 2개의 하부 전극의 일부에서만 중첩되도록 상기 하부 전극과 엇갈리게 배치된 상부 전극을 형성하는 단계와,

상기 상부 전극 및 강유전체막의 노출된 표면에 제2 장벽 물질층을 형성하는 단계와,

상기 제2 장벽 물질층 위에 금속 층간 절연막을 형성하는 단계와,

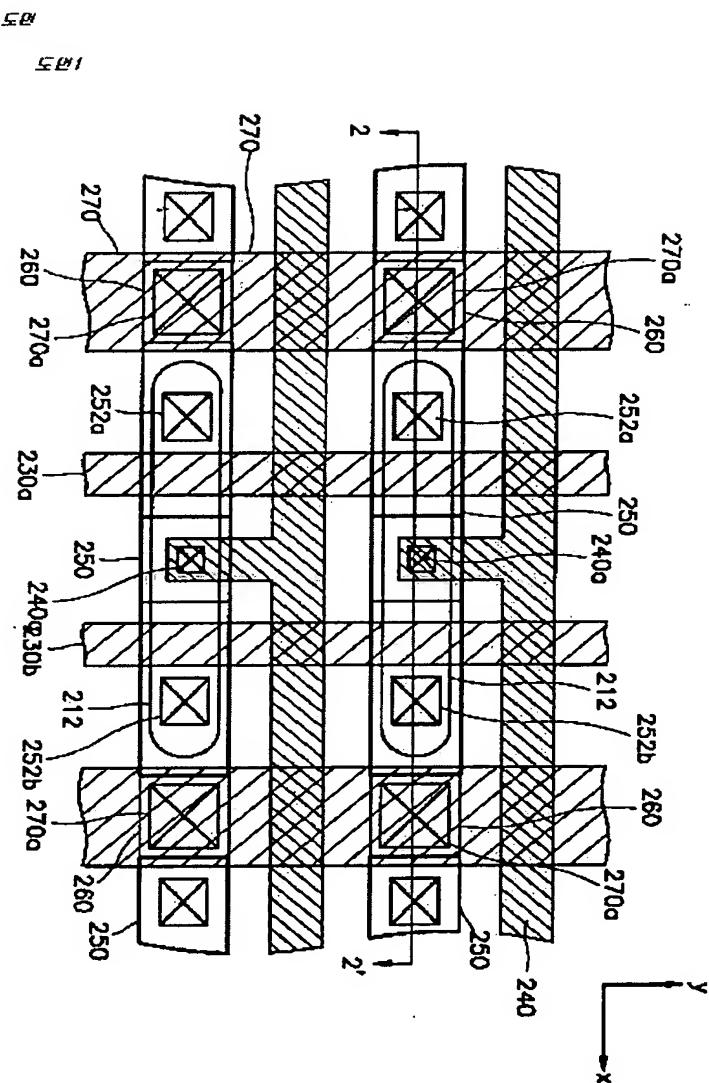
상기 금속 층간 절연막 및 제2 장벽 물질층을 패터닝하여 상기 상부 전극의 일부를 노출시키는 플레이트 콘택홀을 구비한 금속 층간 절연막 패턴 및 제2 장벽층을 형성하는 단계와,

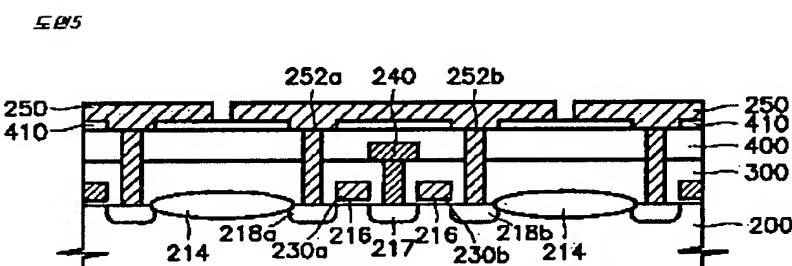
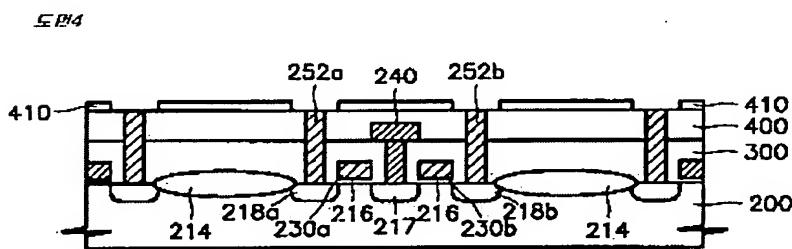
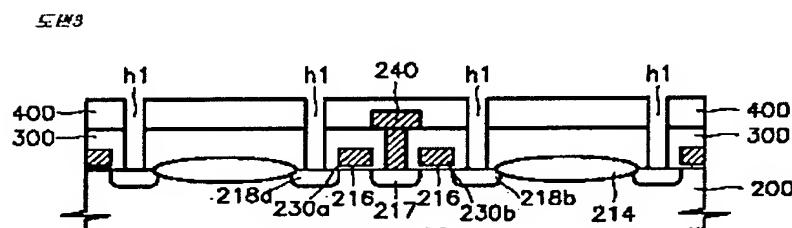
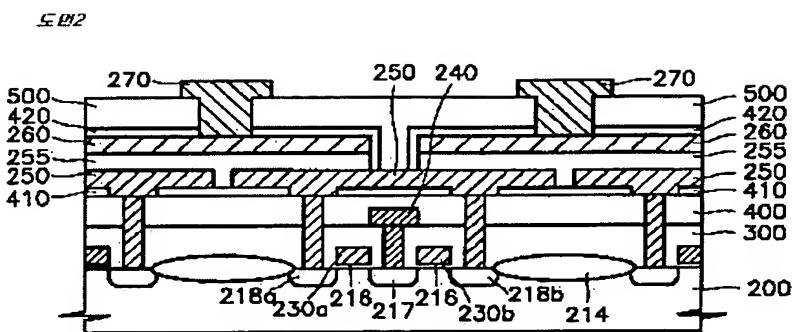
상기 플레이트 콘택홀을 채우는 제3 도전층을 형성하는 단계와,

상기 제3 도전층을 패터닝하여 상기 플레이트 콘택홀을 통해 상기 상부 전극과 접속되는 플레이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

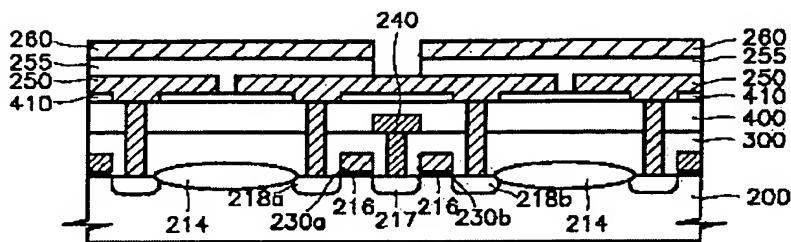
#### 첨구항 17

제16층에 있어서, 상기 제1 장벽 물질층 및 제2 장벽 물질층은  $\text{TiO}_2$ 막으로 형성하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

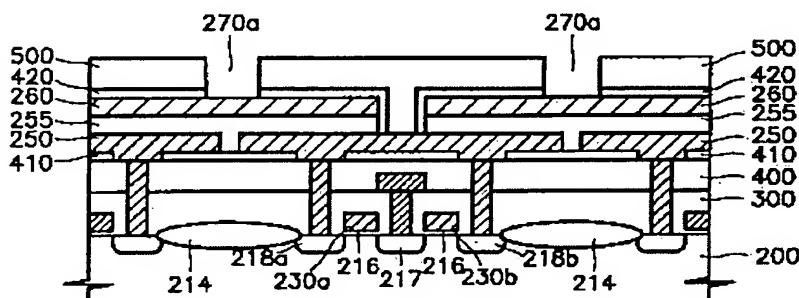




도면 10



도면 11



도면 12

